

## Einsatz von FPGA und SoC Technologien für Akustisch Instrumentierte Eissonden

Dmitry Eliseev<sup>1</sup>, Dirk Heinen<sup>1</sup>, Peter Linder<sup>1</sup>, Lars Steffen Weinstock<sup>1</sup>,  
Stefan Wickmann<sup>1</sup>, Simon Zierke<sup>1</sup>

III. Physikalisches Institut B, RWTH Aachen University

Email: eliseev@physik.rwth-aachen.de

### Enceladus Explorer Initiative

Im Rahmen der vom DLR Raumfahrtmanagement geförderten Enceladus Explorer (EnEx) Initiative werden Technologien für eine Eissonde (EnEx-Sonde) entwickelt. Diese Technologien können bei einer zukünftigen Raumfahrtmission auf dem vereisten Saturnmond namens Enceladus zum Einsatz kommen. In der Mission soll eine autonom agierende, manövrierbare Eissonde die Entnahme von Proben aus wasserführenden Eisspalten ermöglichen [1]. Ein schematisch dargestelltes Missionszenario ist in Abbildung 1 zu sehen. Im Vorhaben EnEx-

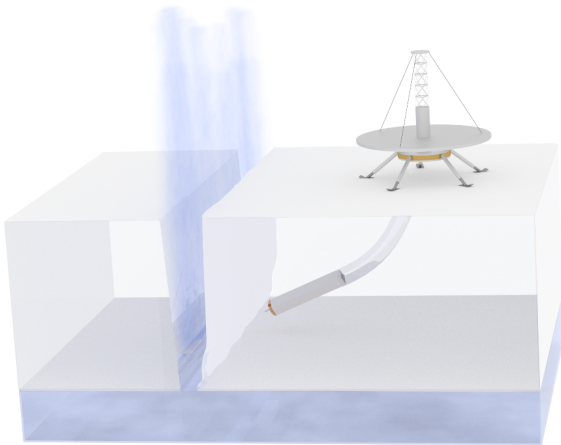


Abbildung 1: Skizze des Missionszenarios am Enceladus

RANGE (Teil der EnEx-Initiative) beschäftigt sich eine Forschungsgruppe der RWTH Aachen University mit der Entwicklung von Technologien und deren Umsetzung für die akustische Navigation der Eissonde [2]. In den folgenden Abschnitten werden die Prinzipien der realisierten akustischen Navigationssystemen nur im Allgemeinen erklärt. Die Hauptthemen dieses Beitrags sind die Digitalelektronik und die Firmware der jeweiligen Systeme mit dem Schwerpunkt Einsatz von Field Programmable Gate Array (FPGA) und System-On-a-Chip (SoC)-Technologien [3].

### System für akustische Vorfelderkundung

Das akustische Vorfelderkundungssystem (engl. Acoustic Reconnaissance System (ARS)) ermöglicht die akustische Untersuchung des Eises vor der EnEx-Sonde. Mithilfe dieses Systems sendet die Sonde ausgerichtete Ultraschallkeulen und empfängt deren akustischen Reflektionen [4]. Eine vereinfachte schematische Darstellung des Arbeitsprinzips dieses Systems ist in Abbildung 2 zu sehen. Die Ultraschallkeule wird von mehreren einzelnen

Piezoelementen erzeugt. Diese Piezoelemente befinden sich im Schmelzkopf der Eissonde. Dieselben Piezoelemente werden darüber hinaus zum Empfangen von reflektierten akustischen Signalen verwendet. Die digitale



Abbildung 2: Arbeitsprinzip der akustischen Vorfelderkundung

Elektronik des Vorfelderkundungssystem erfüllt folgende Aufgaben:

- Phasenpräzise Ansteuerung der Piezoelemente für die Generierung von ausgerichteten Schallkeulen,
- Mehrkanalige Digitalisierung der erfassten Reflektionswellenformen,
- Verwaltung von entstehenden Datenflüssen.

Für die effektive Umsetzung der aufgelisteten Aufgaben wurde eine FPGA-basierte Platine entwickelt. Die zentrale Einheit dieser Platine ist ein FPGA Chip der Spartan-6 Familie der Firma Xilinx. Neben dem FPGA Chip beinhaltet diese Platine die Schaltungen und Komponenten für die mehrkanalige Verstärkung und anschließende Digitalisierung der von Reflektionen induzierten Wellenformen. Die aufgenommenen Wellenformen werden zeitsynchron in einem RAM-Chip zwischengespeichert. Eine solche Platine kann für die parallele Ansteuerung von bis zu 16 Piezoelementen und für die parallele Datenerfassung von bis zu 8 Piezoelementen benutzt werden. In der Tabelle 1 sind einige Eckdaten der entwickelten FPGA-Platine angegeben.

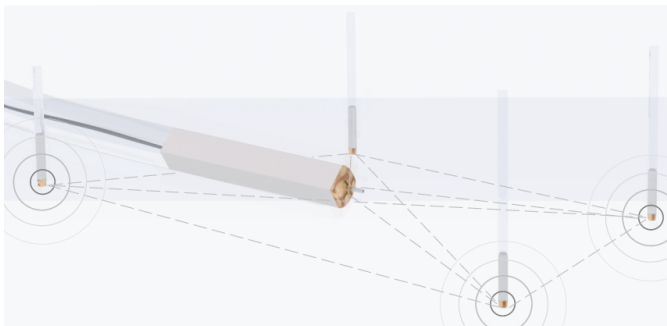
Die entwickelte Platine kommuniziert über die USB-Schnittstelle mit einem übergeordneten Einplatinencomputer (im folgenden wird die gängige englische Bezeichnung *Embedded PC* benutzt). Für diese Anwendung wurde dafür ein Raspberry Pi verwendet. Dieser ermöglicht eine Zusammenarbeit mit bis zu 4 FPGA-Platinen. Das resultiert in der parallelen Ansteuerung von bis zu 64 Piezoelementen sowie in einer bis zu 32-kanaligen parallelen Datenaufnahme.

**Tabelle 1:** Eckdaten der Controllerplatine für die Vorfelder-kundung.

Parameter	Wert
Anzahl der angesteuerten Kanäle	16
Anzahl Empfangskanäle	8
Zeitliche Auflösung bei Pulserzeugung	10 ns
Abtastrate pro Kanal	bis 2 MSPS
Digitalauflösung	12 bit
Digitalisierungsfenster	bis 16384 Samplen (8,192 ms)

## System für akustische Lokalisierung

System für die akustische Lokalisierung ermöglicht Bestimmung der Position der EnEx-Sonde im Eis mittels akustischer Signale. Hier wird das Trilaterationsprinzip benutzt: die Position der Sonde wird anhand der Laufzeiten der akustischen Signalen berechnet. Diese Schallsignale werden von weiteren akustisch instrumentierten Hilfssonden (APUs - engl. Autonomous acoustic Pinger Unit) ausgesendet und von der EnEx-Sonde empfangen. Diese APUs verfügen über einen Schmelzkopf, der ein vertikales Einschmelzen ermöglicht. Damit hat der Schmelzkopf eine gute akustische Kopplung an das umgebende Eis und wird deswegen als ein aktives Element eines akustischen Transducers benutzt. Der Transducer besteht zusätzlich aus einem leistungsfähigen Piezostapel und speziell entwickelter Analogelektronik. Neben dem Aussenden ist auch der Empfang akustischer Signale über den Schmelzkopf möglich. Letztendlich verfügen die APUs über verschiedene Sensorik-Komponenten: akustische Sensorik sowie Inertial-, Druck- und Temperatursensorik. Hierbei wird die akustische Sensorik einer APU dafür benutzt, akustische Signale zu empfangen. Dieses ermöglicht, die Schallstrecken von einer zur anderen APU akustisch zu vermessen (Laufzeiten und Empfangsqualität) und dadurch das Eis in der Umgebung zu charakterisieren.



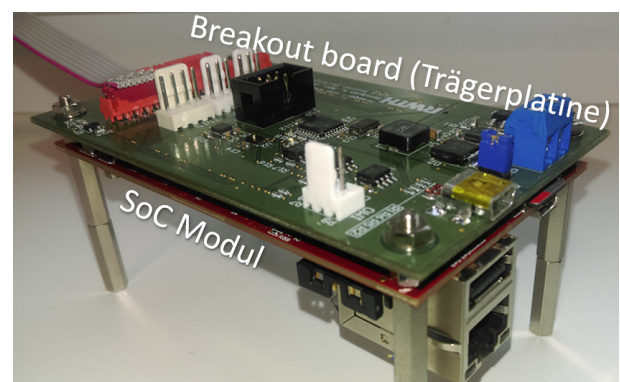
**Abbildung 3:** Arbeitsprinzip der akustischen Lokalisierung im Eis. Die EnEx-Sonde wird von anderen akustisch instrumentierten Schmelzsonden begleitet, welche einen Navigationsbasis für die EnEx-Sonde bilden.

Anhand dieser Messungen werden die Eiseigenschaften im Einsatzbereich berechnet. Eine graphische Darstellung der akustischen Lokalisierung ist in Abbildung 3

skizziert. Die unten beschriebene Digitalelektronik einer APU kommt mit gleichem Umfang und Struktur auch in der EnEx-Sonde als Hauptteil des Lokalisierungssystem zum Einsatz.

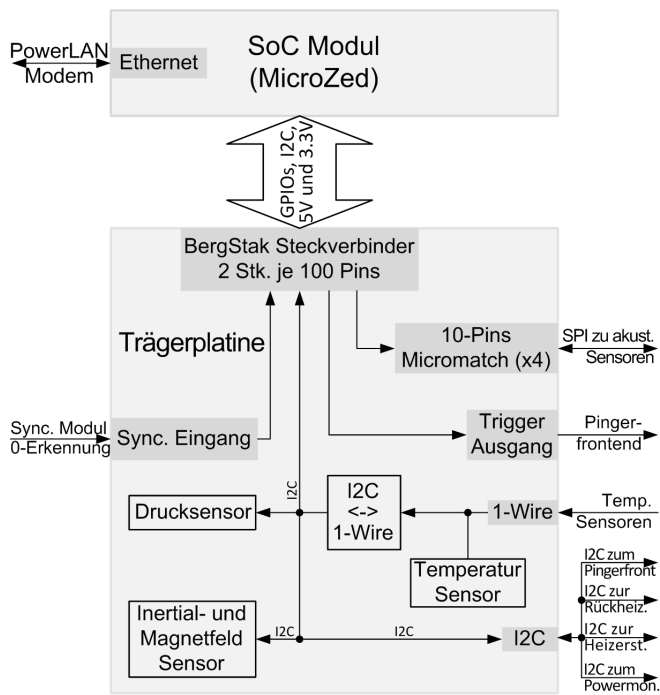
Im Testnetzwerk sind alle APUs an eine gemeinsame Stromquelle angeschlossen. Kommunikation und Synchronisierung werden über die vorhandenen Stromkabel durchgeführt. Für die Kommunikation wird PowerLAN Technologie eingesetzt. Für die Synchronisierung beinhaltet jede APU ein speziell entwickeltes Modul für die Erkennung des 0-Durchgangs der elektrischen Phase. Die Komplexität des resultierenden Netzes sowie die Vielfalt von Sensorik und Schnittstellen innerhalb der APUs erfordert ein flexibles und rechenfähiges Datensystem. Dabei muss die Hardware des umgesetzten Datensystems eine kompakte Bauform haben. Um diese Voraussetzungen zu erfüllen, wurde ein Platinenmodul mit System-on-Chip (SoC) verwendet. Ein wichtiger Vorteil bei der Benutzung eines SoC-basierten Moduls ist es, dass kein zusätzlicher Embedded PC notwendig ist. Zunächst wird die Struktur der Elektronik auf Platinenmodul-Ebene besprochen und danach die Aufgaben und die Firmware-Struktur des verwendeten SoC.

Das für unsere Anwendung ausgewählte Modul ist MicroZed AES-Z7MB-7Z020-SOM-G der Firma Avnet [5]. Die Haupteinheit dieses Moduls ist der SoC-Chip XC7Z020-1CLG400C der Firma Xilinx. Neben dem SoC Chip beinhaltet dieses Modul zwei DDR3 Speicherchips mit insgesamt 1 GByte RAM sowie eine Ethernet Schnittstelle. Das Modul beinhaltet zwei Reihensteckverbinder mit Ein- und Ausgangspins (im Folgenden werden die gängigen englischen Bezeichnungen *I/O Pins* und *I/O Headers* benutzt), die eine Verbindung zu den I/O Pins des SoC-Chips ermöglichen. Diese I/O Pins sind durch eine speziell entwickelte Trägerplatine zugänglich. Die zusammengesteckten SoC-Modul und die Trägerplatine sind in Abbildung 4 zu sehen.



**Abbildung 4:** SoC Modul mit Trägerplatine.

Die Trägerplatine selbst beinhaltet weitere Steckverbinder für Sensorik und Aktorik der APU und beherbergt Komponente für Inertial-, Magnetfeld-, Druck- und Temperatursensorik. Eine graphische Darstellung der Hardware-Struktur der Trägerplatine ist in Abbildung 5 zu sehen.



**Abbildung 5:** Blockschaltbild der Trägerplatine und des SoC Moduls. Struktur der Trägerplatine ist gezeigt detaillierter. Die gerahmten Rechtecke zeigen die auf der Trägerplatine beherbergten Komponente. Die nicht gerahmten Rechtecke am Rande zeigen die Steckverbinder.

Wie bereits erwähnt wird typischerweise in einem SoC basierten System kein zusätzlicher Prozessor, bzw kein zusätzlicher Embedded PC benötigt. Dies wird durch die Komplexität und hohe Integrationsrate eines SoC erreicht. In einem SoC sind zwei wichtige Teile auf einem Chip kombiniert:

- Ein (oder mehrere) Mikroprozessorkern(e) inklusive sämtlicher Prozessorkerne-Peripherie. Dieser Teil heißt Prozessorsystem (PS).
- Ein FPGA-ähnlicher Bereich der programmierbaren Logik (PL).

Die benötigte Software (Betriebssystem und Anwendungen) wird auf dem Prozessorsystem des SoC ausgeführt. Dagegen sind die zeitkritischen Strukturen im PL Bereich des SoC umgesetzt. Die Verteilung der Aufgaben zwischen PS und PL sieht wie folgt aus:

**Prozessorsystem:**

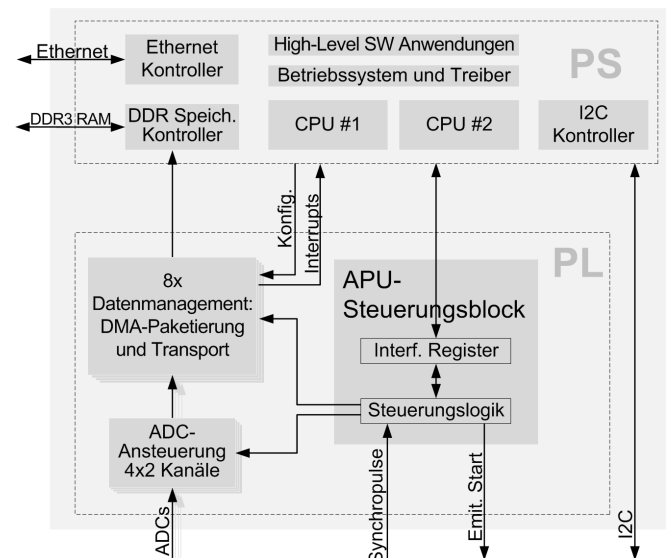
- Betriebssystem (Xilinx-Linuxkernel mit Debian Rootfs);
- Standard Linuxtreiber (I2C, Ethernet, etc);
- Eigene PL-spezifische Linuxtreiber (für die Kommunikation mit eigenen Logikmodulen in der PL);
- High-Level Software Anwendungen.

**Programmierbare Logik:**

- Datennahme Akustik (Zeitsynchrone Auslese und Transport zu RAM);

- Datenvorverarbeitung (Mittelung mit einem vorgegebenen Faktor);
- Synchronisation (Erfassung der Synchronisationspulse und deren Aufzählung);
- Zeitpräzise Trigger signale für akustischen Transducer.

Die Kommunikation zwischen PS und PL Teilen des SoC wird mithilfe von AXI-Stream und AXI-Lite Schnittstellen [3] realisiert. Die Unterteilung der programmierbaren Logik ist in Abbildung 6 schematisch dargestellt.



**Abbildung 6:** Struktur der implementierten Firmware-Module in der programmierbaren Logik.

Es wurde ein Logikmodul für allgemeine Steuerung entwickelt und eingesetzt, sowie die Module für den Datentransport. Der Datentransport realisiert die zeitsynchrone Auslese der Wellenformen aus den akustischen Sensoren. Es werden insgesamt 8 Kanäle mit 2MSPS ausgelesen. Bei Bedarf, können die nacheinander kommenden Abtastwerte mit benötigten Mittelungsfaktoren gemittelt werden. Dadurch wird höhere ADC-Auflösung (allerdings mit niedrigerem Abtastrate) erzielt. Der resultierende Datenstrom wird ohne Beteiligung der Prozessorkerne im RAM zwischengespeichert. Nach dem die akustischen Wellenformen im RAM gespeichert werden, wird ein Interrupt an das PS gesendet und die gespeicherten Daten können von der Software der höheren Ebene analysiert werden. Die Hauptkomponente jedes Datentransportpfades, der in der programmierbaren Logik instanziiert wird, ist ein AXI-DMA Submodul [3]. Die Konfiguration von Datentransport-Pfaden (die Länge des Digitalisierungsfensters, Mittelungsparameter, usw.) sowie An- und Ausschalten der Datenübertragung, wird von den Kontrolsignalen vom Modul zur allgemeinen Steuerung übernommen. Dieses Modul beinhaltet eine 64-bit Systemuhr mit einer Granularität von 10 ns, einen Zähler für die erfassten Synchronisationspulse und einige weitere Logik-Einheiten. Dazu beinhaltet das Modul zur allgemeinen Steuerung die Schnittstellen-Register, welche

durch die speziell entwickelten Linuxtreiber aus der Software im PS zugänglich sind. Die Kontrolle und Ansteuerung vom I2C Bus wird direkt aus dem PS gemacht. Dort befindet sich ein I2C-Kontroller, welcher durch einen standartisierten Linuxtreiber aus der Software-Ebene ansprechbar ist. Die Systemsoftware, die auf dem Linux-Betriebssystem im PS ausgeführt wird, ist über verschiedene Programmmodule verteilt. Diese Module sprechen die Linuxtreiber an, nehmen am Synchronisationsverfahren über das NTP-Protokoll [6] teil, setzen die Autonomie- und Trilaterationsalgorithmen um. Die Interkommunikation dieser Programmmodule wird von der so genannten Middleware bereitgestellt. Diese Middleware ermöglicht auch die Netzwerkkommunikation mit externen Programmmodulen, welche auf anderen funktionalen Einheiten ausgeführt werden (z.B. auf anderen APUs, EnEx-Sonde, Server).

## Fazit und Acknowledgment

Die beschriebenen FPGA- und SoC-basierten Elektronikmodule sind mehrfach als Teile der Eissonden (der APUs und der EnEx-Sonde) in verschiedenen Feldtests erfolgreich getestet worden. Diese Leistungstests wurden auf Alpengletschern durchgeführt: Hintereisferner (2015), Langenferner (2016, 2017, 2018) und Mittelbergferner (2019). Darüber hinaus wurden die APUs in der Antarktis auf dem Ross Ice Shelf (2016, 2018) getestet. Die entwickelten Elektronikmodule, Firm- und Software zeigten während der Tests stabile Performance. Zudem wurden die Testergebnisse in der Folge analysiert und für die iterative Verbesserung der elektronischen Schaltungen, Firm- und Software genutzt.

EnEx-RANGE ist Teil der Enceladus-Explorer Initiative des DLR Raumfahrtmanagements. Das Projekt wird durch das Bundesministerium für Wirtschaft und Energie (BMWi) aufgrund eines Beschlusses des Deutschen Bundestages unter dem Förderkennzeichen 50NA1501 gefördert.

## Literatur

- [1] Kowalski et al.: Navigation technology for exploration of glacier ice with maneuverable melting probes. *Cold Regions Science and Technology* 123 (2016), 53-70
- [2] Heinen D. et al.: EnEx-RANGE - Robust autonomous Acoustic Navigation in Glacial icE, *EPJ Web of Conferences* 135 (2017)
- [3] Louise H Crockett et al.: *The Zynq Book: Embedded Processing with the ARM Cortex-A9 on the Xilinx Zynq-7000 All Programmable SoC*. Strathclyde Academic Media, 2014
- [4] Linder et al.: Sonographische Visualisierung struktureller Anomalien in Gletschereis. *DAGA Proceedings*, 2016
- [5] MicroZed Zynq Evaluation and Development and System on Module Hardware User Guide, URL: [products.avnet.com/opasdata/d120001/medias/docus/4/](http://products.avnet.com/opasdata/d120001/medias/docus/4/)

Avnet-MicroZed-7Z010-7Z020-EN-User-Guide.pdf

- [6] Mills, D.: Internet time synchronization: the network time protocol. *IEEE Transactions on communications*, 39(10) (1991), (1482-1493).